

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244409

(43)Date of publication of application : 02.09.1994

(51)Int.Cl. H01L 29/784  
C23C 8/36  
H01L 21/31  
H01L 21/318

(21)Application number : 05-024540 (71)Applicant : SONY CORP

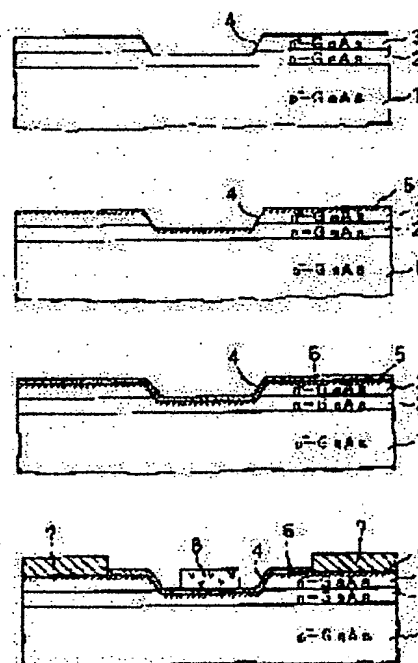
(22)Date of filing : 12.02.1993 (72)Inventor : SATO JUNICHI

## (54) PREPROCESSING METHOD FOR COMPOUND SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PURPOSE:** To constitute an MIS-type device that exhibits good characteristics on a compound semiconductor substrate.

**CONSTITUTION:** On a wafer where a gate recess 4 is formed on the lamination of an n-type GaAs layer 2 and an n<sup>+</sup>-type GaAs layer 3, a plasma-process is done using the gas containing nitrogen compound, and then by generating GaN of low vapor pressure on the wafer surface, a passivation layer 5 is formed. Since oxidation on the surface of the wafer is prevented with this passivation layer 5, interface level density between this and an SiN insulation film 6 laminated in post-process is reduced, thus good device characteristics is obtained. As for gas, NF<sub>3</sub>/N<sub>2</sub> mixture gas and Cl<sub>2</sub>/N<sub>2</sub> gas are used.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-244409

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
C 2 3 C 8/36		7516-4K		
H 0 1 L 21/31	C			
21/318	B	7352-4M		
		9054-4M		
			H 0 1 L 29/ 78	3 0 1 B
			審査請求 未請求	請求項の数3 O L (全 6 頁)

(21)出願番号 特願平5-24540

(22)出願日 平成5年(1993)2月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 淳一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

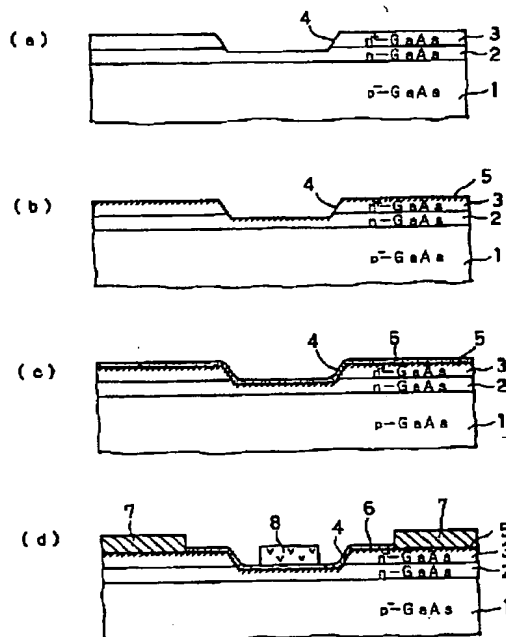
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 化合物半導体基板の前処理方法

(57)【要約】

【目的】 化合物半導体基板上で良好な特性を示すMIS型デバイスを構成する。

【構成】 n型GaAs層2とn<sup>+</sup>型GaAs層3の積層系にゲート・リセス4を形成したウェハに対し、窒素系化合物を含むガスを用いたプラズマ処理を行い、ウェハ表面に蒸気圧の低いGaNを生成させることによりパッシベーション層5を形成する。このパッシベーション層5によりウェハの表面酸化が防止されるため、後工程で積層されるSiN絶縁膜6との間の界面準位密度が低減され、良好なデバイス特性を得ることができる。上記ガスとしては、NF<sub>3</sub>/N<sub>2</sub>混合ガスやCl<sub>2</sub>/N<sub>2</sub>混合ガスを用いる。



1

## 【特許請求の範囲】

【請求項1】 化合物半導体基板の表面を、該化合物半導体基板の所定の構成原子と窒素原子との結合により形成される窒化物膜で被覆することを特徴とする化合物半導体基板の前処理方法。

【請求項2】 前記窒化物膜は、前記化合物半導体基板に対して窒素系化合物を含むガスを用いたプラズマ処理を行うことにより形成されることを特徴とする請求項1記載の化合物半導体基板の前処理方法。

【請求項3】 前記化合物半導体基板はGa原子を前記所定の構成原子として有し、前記窒化物膜はGa<sub>2</sub>N膜であることを特徴とする請求項1または請求項2に記載の化合物半導体基板の前処理方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は化合物半導体基板の前処理方法に関し、特にMIS（金属／絶縁体／半導体）型半導体装置の構成を想定し、絶縁体と半導体との積層界面における界面準位密度を低減させるためにパッシベーションを行う方法に関する。

【0002】

【従来の技術】 MIS構造、すなわち、金属、絶縁体、半導体が順次積層された構造は、FET（電界効果トランジスタ）を構成するために不可欠の構造要素である。このMIS構造は、Si基板上に形成されるシリコン・デバイスでは既実証済みである。特に絶縁体として酸化シリコン（SiO<sub>2</sub>）等の酸化物を用いる場合には、MOS（金属／酸化物／半導体）構造として広く知られるところである。

【0003】 ところで、一般にMIS型半導体装置においては、半導体と絶縁膜との間の界面準位密度をいかに低減させるかが特性を決定する重要な鍵となる。この観点に立って近年のデバイスの高速化のニーズに応えるべく研究が進められている化合物半導体デバイスをみると、MIS構造を達成することは極めて困難である。たとえば、GaAs系化合物半導体ではその表面を酸化して絶縁膜を形成したとしても、界面のダングリング・ボンドの再構成が難しいため、一般に $10^{13}/\text{cm}^2 \text{ eV}$ オーダーの界面準位密度が生ずる。この値は、SiとSiO<sub>2</sub>の間の界面準位密度に比べて3桁ほど高い。この結果、バイアスを印加しても半導体表面のフェルミ準位がピン止め状態で反転が起きなかったり、仮に反転してもドリフト現象のような不安定な特性が現れるという不都合が生ずる。

【0004】 化合物半導体基板上においてSiO<sub>2</sub>やAl<sub>2</sub>O<sub>3</sub>等の無機絶縁膜を用いる試みもなされているが、やはり界面準位密度の低減には成功していない。

【0005】 この界面準位密度を下げるための技術として、GaAs基板の表面にS（イオウ）原子を吸着させる、イオウ・パッシベーションが知られている。たとえ

2

ば1989年電気情報通信学会技術研究報告（ED-89-65）、あるいはJapanese Journal of Applied Physics, 28 (12), L2255~2257 (1989)には、GaAs基板を(NH<sub>4</sub>)<sub>2</sub>S<sub>2</sub>（硫化アンモニウム）溶液を用いてウェット・エッチングすることにより、その表面にイオウを吸着させる技術が報告されている。

【0006】 また、特開平4-91435号公報には、上述のような硫化アンモニウム溶液処理に先立ち、GaAs基板の表面をリン酸溶液でウェットエッチングする技術が開示されている。この技術によると、リン酸系エッチャントでは順メサ（順テーパ）形状のエッチング・パターンが得られるため、III-V族化合物半導体と絶縁膜との界面をダングリング・ボンドを減少させる方向で再構成することができ、よって界面準位密度を低減できるとされている。

【0007】 一方、上述のイオウ・パッシベーションとは異なる発想の界面準位密度低減法として、絶縁膜を有機化合物の薄膜で形成する技術が報告されている。これは、LB法（ラングミュア・ブロッジェット法）による有機薄膜形成技術の進歩に負うところが大きい。たとえば、Solid State Electron Devices, 5, p. 169 (1978)には、n型InP基板上にステアリン酸薄膜をLB法により形成し、界面準位密度 $10^{11}/\text{cm}^2 \text{ eV}$ を達成し、反転およびFET特性を確認したことが報告されている。

【0008】 また、特開昭62-65471号公報には、GaAs基板上にLB法によりヒドラゾン化合物を成膜する技術が開示されている。これは、非結合軌道を有する有機分子を半導体表面のダングリング・ボンドに結合させることにより、結合軌道のエネルギー準位を化合物半導体の価電子帯よりも上に、また反結合軌道のエネルギー準位を伝導帯よりも下に形成させ、これにより禁制帯内のエネルギー準位密度を低減させることを意図したものである。

【0009】 さらに、上述のようなウェット・プロセスではなく、ドライ・プロセスによるパッシベーション技術も知られている。たとえば、特開平3-265135号公報には、集積回路形成前のGaAs基板の表面をSF<sub>6</sub>ガスを用いたプラズマに曝す処理を行う技術が開示されている。これも前述のイオウ・パッシベーションの一種であり、SF<sub>6</sub>ガスが放電解離条件下でプラズマ中に放出するS原子をGaAs基板上に吸着させているわけである。

【0010】

【発明が解決しようとする課題】 しかしながら、これらの従来の技術はそれぞれに問題点を残している。まず、(NH<sub>4</sub>)<sub>2</sub>S<sub>2</sub>（硫化アンモニウム）溶液を用いたイオウ・パッシベーションでは、化合物半導体基板のエッチングも進行する。したがって、この基板の表面に予め

不純物が導入されている場合には、この不純物添加領域が除去され、所望のMIS特性が得られない虞れがある。この問題は、リン酸溶液を用いたウェットエッチングでは一層顕在化する。また、これらのウェット・プロセスでは、Sの堆積過程とエッチング過程とを独立に制御することが不可能であるため、イオウ・パッシベーションの再現性も十分に優れているとは言えない。

【0011】一方、LB法による有機絶縁膜の形成においては、界面単位密度がかなり低減されたものの、 $Si/SiO_2$ の界面単位密度に比べればまだ高い。これは、LB法において本質的に避け難い問題である。すなわち、LB法では表面に有機分子膜を展開させた水槽中に化合物半導体基板を浸漬し、この分子膜を基板上に移し取る方法で薄膜を形成するため、基板の表面酸化の虞れが常に存在しているからである。

【0012】さらに、ウェット・プロセスに共通の問題点として、製造装置の大規模化が避けられないことが挙げられる。MIS型半導体装置の絶縁膜は、一般にスパッタリングやCVD等のドライプロセスで成膜されるため、この絶縁膜の形成前にウェット・プロセスを行おうとすると、当然ながら製造装置の台数やこれらによるクリーンルーム内の占有面積が増大するからである。この結果、経済性やスループットが損なわれる虞れが大きい。

【0013】一方のドライ・プロセスは、製造プロセスや製造装置の一貫性において、ウェット・プロセスよりもはるかに有利である。また、放電条件の制御により堆積過程とエッチング過程のバランスをとることも可能である。しかし、不純物添加領域の除去の問題は、上述のようなSF<sub>6</sub>ガスをを用いたプラズマ処理においても同様に残されている。これは、SF<sub>6</sub>が放電解離条件下でS原子を放出すると同時に大量のF<sup>+</sup>（フッ素ラジカル）を生成してしまい、このF<sup>+</sup>が多く化合物半導体に対してエッチャントとして作用するからである。

【0014】そこで本発明は、これらの問題をすべて解決し、ドライ・プロセスによるパッシベーションを、化合物半導体基板の不要なエッチングを伴うことなく優れた再現性をもって行う方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の化合物半導体基板の前処理方法は、上述の目的を達成するために提案されるものであり、化合物半導体基板の表面を、該化合物半導体基板の所定の構成原子と窒素原子との結合により形成される窒化物膜で被覆するものである。

【0016】本発明はまた、前記化合物半導体基板に対して窒素系化合物を含むガスをを用いたプラズマ処理を行うことにより、前記窒化物膜を形成するものである。

【0017】本発明はさらに、前記化合物半導体基板としてGa原子を構成原子として有する基板を用い、前記

窒化物膜としてGaN膜を生成させるものである。

【0018】

【作用】本発明者は、従来のドライ・プロセスにおける不要なエッチングは過剰なF<sup>+</sup>に起因するものであり、これを防止するためにはエッチングの進行を抑制するような何らかの作用を有する物質を生成させれば良いものと考えた。

【0019】本発明では、化合物半導体基板の表面を窒化物膜で被覆する。この窒化物膜は、該化合物半導体基板の所定の構成原子と窒素原子との結合により形成されるため、基板表面に極めて安定に存在することができる。この窒化物膜により、化合物半導体基板をたとえ大気解放させても、その表面と外部環境との接触が断たれるので、化合物半導体基板の表面酸化を抑制し、後工程で積層される絶縁膜との間で界面単位密度を低く維持することができる。

【0020】なお、このような窒化物膜による被覆が行われるためには、化合物半導体基板の表面にある決まった種類の構成原子が露出していることが前提となるが、かかる界面構造を有する基板を得ることは比較的容易である。たとえば、多くのAX型（Aは陽性元素、Xは陰性元素）化合物半導体が属する閃亜鉛鉱型結晶構造の場合、（111）面ではA原子層とX原子層のいずれかが露出することになるからである。

【0021】上記窒化物膜は、最も実用的には前記化合物半導体基板に対して窒素系化合物を含むガスをを用いてプラズマ処理を行うことにより形成することができる。つまり、放電解離条件下で窒素系化合物から解離生成したN<sup>+</sup>等の窒素系化学種が化合物半導体基板の表面に作用し、蒸気圧の低い窒化物を生成し得る原子がこの窒素系化学種と反応して窒化物膜を形成するのである。

【0022】なお、本発明はドライ・プロセスであるため、たとえばMIS型半導体装置の製造を想定した場合、後工程における絶縁膜の成膜工程等と連続して行うことができる。つまり、近年のマルチ・チャンバ・システム等に代表される一体型の連続処理装置を用いれば、途中でウェハを大気解放することなく、パッシベーションから絶縁膜の成膜までを一貫して高真空中で行うことができる。

【0023】本発明の実用上重要と考えられるケースは、化合物半導体基板がGa原子を構成原子として有し、この表面がGaN膜で被覆されるケースである。GaNは、常圧下では800℃付近から昇華し始める化合物であるが、ウェハを特に高温加熱しない限り通常のプラズマ処理条件下では蒸気圧が低く、安定に存在する。したがって、十分なパッシベーション効果を示し得る。

【0024】

【実施例】以下、本発明の具体的な実施例について説明する。

【0025】実施例1

5

本実施例は、本発明をGaAs基板を用いたMIS-FETの製造に適用し、NF<sub>3</sub>/N<sub>2</sub>混合ガスを用いたプラズマ処理によりGaAs基板のパッシベーションを行った後、SiN絶縁膜および電極の形成を行った例である。このプロセスを、図1を参照しながら説明する。

【0026】本実施例で処理サンプルとして用いたウェハを、図1(a)に示す。このウェハは、p<sup>+</sup>型GaAs基板1(図中ではp<sup>+</sup>-GaAsと略記する。)上にたとえばMOCVD法によりチャネル領域を構成するためのn型GaAs層2(図中ではn-GaAsと略記する。)と、ソース/ドレイン領域を形成するためのn<sup>+</sup>型GaAs層3(図中ではn<sup>+</sup>-GaAsと略記する。)とを順次積層し、図示されないレジスト・マスクを介して少なくとも上記n<sup>+</sup>型GaAs層3をメサ・エッチングすることにより、ゲート・リセス4を形成したものである。このウェハの表面は、たとえばGaAs結晶の(001)面に相当する。

【0027】次に、このウェハを、有磁場マイクロ波プラズマ装置のエッチング・チャンバ内にセットし、一例として下記の条件でプラズマ処理を行った。

NF <sub>3</sub> 流量	10 SCCM
N <sub>2</sub> 流量	30 SCCM
ガス圧	1.33 Pa
マイクロ波パワー	850 W (2.45 GHz)
RFバイアス・パワー	0 W
ウェハ温度	-70 °C

なお、上記ウェハの冷却は、ウェハ載置電極に内蔵される冷却配管にアルコール系冷媒を循環させることにより行った。

【0028】このプラズマ処理により、図1(b)に示されるように、n型GaAs層2とn<sup>+</sup>型GaAs層3の露出面にGa<sub>2</sub>Nからなる極めて薄いパッシベーション層5が一様に形成された。

【0029】ここで、上記のウェハの表面はGaAs結晶の(001)面であるから、プラズマ処理を行う前のn型GaAs層2とn<sup>+</sup>型GaAs層3の露出面に存在する原子層は、共にGa層である場合、共にAs層である場合、あるいは一方がGa層で他方がAs層である場合、の3通りが考えられる。しかし、本実施例ではガス系にN<sub>2</sub>が添加されていることにより、いずれの場合にもウェハの表面は最終的にはGa<sub>2</sub>Nからなるパッシベーション膜5で覆われる。その機構は、次のように考えられる。

【0030】まず、ウェハ表面でGa層が露出している領域では、直ちにGa<sub>2</sub>Nが生成する。このとき、もちろんGaFも生成し得るが、この化合物は800°C付近に昇華点、1000°C付近に沸点を有する蒸気圧の低い物質であり、上記のようなウェハ冷却を行っている温度条件下では容易に脱離しない。したがって、パッシベシ

6

ョン膜5の形成前にGa層が除去されてしまうことはない。

【0031】一方、ウェハ表面の少なくとも一部にAs層が存在している場合には、このAs層がF<sup>+</sup>と反応することにより蒸気圧の高いAsF<sub>3</sub>、AsF<sub>5</sub>を生成し、速やかに除去される。このとき、プラズマ中にはN<sup>+</sup>が存在しているが、Asは窒化物を生成しない。この後にGa層が露出すると、上述のようにGa<sub>2</sub>Nが生成するわけである。

10 【0032】以降の絶縁膜および電極の形成は、従来公知の方法にしたがって行った。まず、絶縁膜としてSiN膜を成膜するため、上記ウェハを別の有磁場マイクロ波CVD(ECR-CVD)装置のCVDチャンバ内にセットした。このCVDチャンバは、上述の有磁場マイクロ波プラズマ・エッチング装置のエッチング・チャンバとゲート・バルブを介して高真空中で接続されているので、ウェハは大気解放されることなく異プロセス間を搬送される。

【0033】ECR-CVDによるSiN絶縁膜の形成条件の一例を以下に示す。

SiH <sub>4</sub> 流量	20 SCCM
N <sub>2</sub> O 流量	40 SCCM
ガス圧	1.33 Pa
マイクロ波パワー	800 W (2.45 GHz)
RFバイアス・パワー	0 W
ウェハ温度	350 °C

このプロセスにより、ウェハの表面は図1(c)に示されるように、厚さ約30nmのSiN絶縁膜6で被覆された。

30 【0034】さらに、図1(d)に示されるように、n<sup>+</sup>-GaAs層3からなるソース/ドレイン領域上でSiN絶縁膜6を選択的に除去し、この部分にAuGe合金等のオーミック電極材料によりソース/ドレイン電極7を形成した。また、ゲート・リセス内4のSiN絶縁膜6の上には、Al等の電極材料を用いてゲート電極8を形成した。

【0035】このようにして製造されたMIS-FETは、界面単位密度が低減されているため、少ない消費電力にて高速動作を示した。また、製造歩留りも良好であった。

#### 【0036】実施例2

本実施例では、パッシベーションのためのプラズマ処理にCl<sub>2</sub>/N<sub>2</sub>混合ガスを用いた。本実施例で用いたウェハは、実施例1で用いたウェハと同じである。プラズマ処理条件の一例を以下に示す。

#### 【0037】

Cl <sub>2</sub> 流量	10 SCCM
N <sub>2</sub> 流量	30 SCCM
ガス圧	1.33 Pa

7  
マイクロ波パワー 850 W (2.45 GHz)

RFバイアス・パワー 0 W

ウェハ温度 -10 °C

【0038】このとき、ウェハ表面でGa層が露出している領域では直ちにGaNが生成し、パッシベーション層5が形成される。このとき、もちろんGaCl<sub>3</sub>も生成し得るが、このときのプラズマ中にはCl<sup>+</sup>に比べてN<sup>+</sup>が大過剰に生成しているため、GaNの生成が優先すると考えて良い。一方、ウェハ表面の少なくとも一部にAs層が存在している場合には、このAs層がCl<sup>+</sup>と反応することにより蒸気圧の高いAsCl<sub>3</sub>を生成し、速やかに除去される。この後にGa層が露出すると、上述のようにGaNが生成するわけである。

【0039】いずれにしても、ウェハの表面は最終的にはGaNからなるパッシベーション膜5で覆われた。これ以降のSiN絶縁膜6、ソース/ドレイン電極7、ゲート電極8の形成については、実施例1で上述したとおりである。

【0040】以上、本発明を2例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば、上述の各実施例では化合物半導体基板の材料がGaAsである場合について説明したが、窒素原子と結合することにより安定な窒化物膜を形成し得る構成原子を有するものであれば、他の化合物半導体であっても良い。特にGa原子を含む化合物半導体としては、GaP、GaSb、AlGaAs、GaAsP等が挙げられる。

【0041】上記窒化物膜を形成するためのガスに含まれる窒素系化合物としては、上述のNF<sub>3</sub>やN<sub>2</sub>の他、NCl<sub>3</sub>、酸化窒素、ハロゲン化ニトロシル、ハロゲン化ニトリル、硝酸フッ素等を用いても良い。

【0042】また、GaAs基板上に窒化物膜（パッシベーション層）として形成されたGaN層は極めて薄い膜ではあるが、格子定数がGaAs基板と離れているため、絶縁膜を形成する前に必要に応じて除去するようにしても良い。この除去の方法としては、ウェハを若干加熱しながらAr等の不活性ガスを用いて軽くスパッタ・エッチングを行う方法等が考えられる。

8  
【0043】この他、プラズマ処理の条件、使用する装置の構成、ウェハの構成、絶縁膜や電極の構成材料ならびにこれらの形成条件等が適宜変更可能であることは、言うまでもない。

【0044】

【発明の効果】以上の説明からも明らかなように、本発明を適用すれば、プラズマ処理によるパッシベーションを、化合物半導体基板に不要なダメージを与えることなく、かつ再現性良く行うことができる。特に、GaAsのようなGa原子を構成原子として有する化合物半導体基板上では、窒素系化合物を含むガスを用いてプラズマ処理を行うことにより、安定なGaN層をパッシベーション層として形成することができる。かかる安定なパッシベーションは、化合物半導体基板と絶縁膜との間の界面準位密度を著しく低減させる効果を有し、化合物半導体を用いたMIS型デバイスの実用化に道を開くものである。

【0045】なお、上記プラズマ処理は、後工程における絶縁膜の成膜工程等、他のドライ・プロセスと連続的に行うことが可能であるため、スループットや経済性も改善される。

【図面の簡単な説明】

【図1】本発明をMIS-FETの製造に適用したプロセス例をその工程順にしたがって示す概略断面図であり、(a)はn<sup>+</sup>型GaAs層にゲート・リセスが形成された状態、(b)はウェハの全面にパッシベーション層が形成された状態、(c)はウェハの全面にSiN絶縁膜が成膜された状態、(d)はSiN絶縁膜がパターニングされ、ソース/ドレイン電極とゲート電極とが形成された状態をそれぞれ表す。

【符号の説明】

- 1 . . . p<sup>-</sup>型GaAs基板
- 2 . . . n型GaAs層
- 3 . . . n<sup>+</sup>型GaAs層
- 4 . . . ゲート・リセス
- 5 . . . パッシベーション層
- 6 . . . SiN絶縁膜
- 7 . . . ソース/ドレイン電極
- 8 . . . ゲート電極

【図1】

